数据手册

CN122

3mm × 3mm QFN20封装, 低噪声,
低功耗双通道生物电模拟前端（AFE）

1 特点

- √ 完全集成的一体化芯片解决方案，外部组件少
- √ 每通道工作电流40 μA，极低功耗
- √ 集成滤波器，带宽可编程，确保临床级波形
- √ <100 ms 快速恢复时间
- √ 有效的导联脱落/导通检测
- √ 1.8 V 核心电源, 1.8 V/3.3 V数字IO电源
- √ 灵活支持检测/待机/关机多种功耗模式
- √ 模拟端运动伪迹抑制能力
- √ 典型共模抑制比（CMRR）达105 dB
- √ 单端模拟输出
- √ ±8 kV人体模型（HBM）静电防护等级

2 应用

多导联心电设备

- 多导联心电手表
- 5/12导联智能心电体征服
- 3/6肢体导联心电监测卡片
- 多导联心贴

肌电、脑电设备

- 消费级脑电头戴设备
- 肌电控制手环

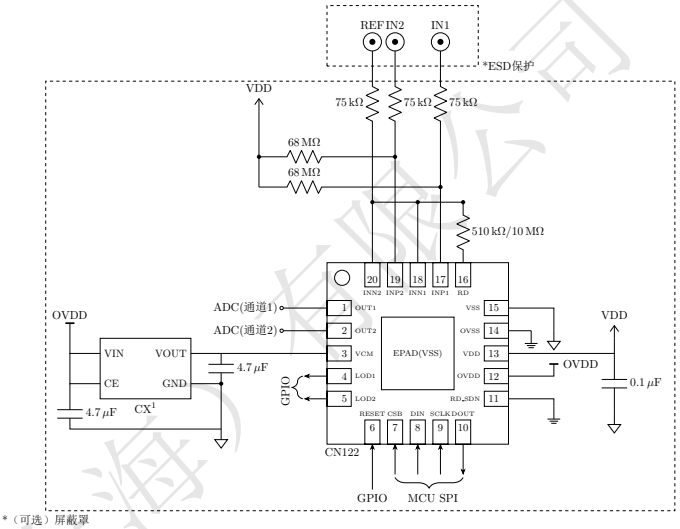


图 *1: 应用亮点*

3 描述

CN122是一款全集成单芯片解决方案，适用于生物电特别是脑电信号的生物电势双通道或多通道采集。

它专为在存在噪声或不利环境（如一定工频干扰、运动干扰或电极放置影响）的条件下，对微弱生物电进行放大与滤波而设计。可轻松搭配内置12位ADC的微控制器，对单端模拟输出信号进行进一步采集与处理。

凭借高输入阻抗、无需右腿驱动（RLD）负反馈即可实现的高共模抑制比（CMRR），以及出色的直流输入失衡电压耐受能力，该芯片支持干电极多通道生物电采集应用，且波形质量优异。

芯片通过SPI接口读写配置寄存器，可实现灵活带宽选择、16级可编程增益等功能，便于绝大多数通用微控制器（MCU）进行编程控制。

曦成半导体技术（上海）有限公司

版权所有 ©2026

数据手册

CN122

3mm × 3mm QFN20封装, 低噪声,
低功耗双通道生物电模拟前端（AFE）

目录

1 特点 1

2 应用 1

3 描述 1

4 修订历史 2

5 引脚配置与功能 3

6 规格参数 4
- 6.1 绝对最大额定值 . . . 4
- 6.2 ESD 额定值 . . . 4
- 6.3 电气特性 . . . 4
- 6.4 时序特性 . . . 7

7 详细描述 8
- 7.1 概述 . . . 8
- 7.2 生物电放大通道 . . . 8
  - 7.2.1 射频干扰滤波器 . . . 8
  - 7.2.2 可编程增益 . . . 8
  - 7.2.3 快速恢复电路 . . . 8
  - 7.2.4 共模电压 . . . 8
- 7.3 参考驱动（RD）电路 . . . 8
- 7.4 环境工频和电极 . . . 9
- 7.5 直流导联检测（LOD） . . . 9
- 7.6 功耗模式 . . . 9
- 7.7 SPI 接口 . . . 9
  - 7.7.1 片选(CSB) . . . 9
  - 7.7.2 串行时钟(SCLK) . . . 9
  - 7.7.3 数据输入(DIN) . . . 9
  - 7.7.4 数据输出(DOUT) . . . 9
  - 7.7.5 RREG: 读取寄存器 . . . 10
  - 7.7.6 WREG: 写入寄存器 . . . 10
  - 7.7.7 SPI 复位 . . . 10

8 寄存器定义 10
- 8.1 CONFIG: 配置寄存器 (address = 00h) . 10
- 8.2 CH1_SET: 放大通道一设置寄存器 (address = 01h) . . . 12
- 8.3 CH2_SET: 放大通道二设置寄存器 (address = 02h) . . . 12

9 应用信息 14
- 9.1 典型应用电路 . . . 14
- 9.2 硬件设计指南 . . . 15

10 包装外形图 16

11 订购指南 17

4 修订历史

09/2026–Rev.3.0: 更新中文版本

版权所有 ©2026

5 引脚配置与功能

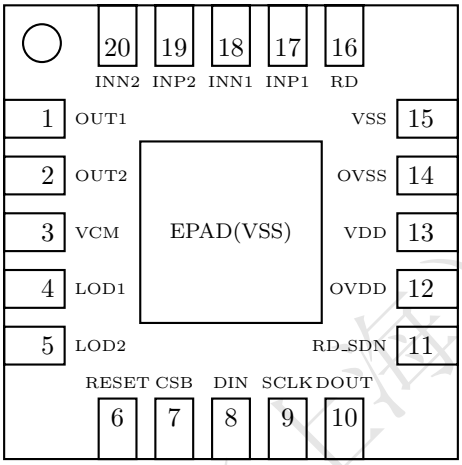


图 *2: QFN20* 引脚配置

表 *1: QFN20* 引脚功能描述

序号	名称	类型	说明
1	OUT1	模拟输出	生物电采集通道一放大输出, 单端输出
2	OUT2	模拟输出	生物电采集通道二放大输出, 单端输出
3	VCM	模拟输入	共模电压输入，需连接至电源中点参考电位
4	LOD1	数字输出	生物电采集通道一直流导联检测输出，高电平有效，指示导联脱落状态
5	LOD2	数字输出	生物电采集通道二直流导联检测输出，高电平有效，指示导联脱落状态
6	RESET	数字输入	复位输入，高电平有效，复位配置寄存器与SPI状态
7	CSB	数字输入	片选输入，低电平有效，使能SPI数据传输
8	DIN	数字输入	串行数据输入，在SCLK下降沿被器件采样
9	SCLK	数字输入	串行时钟输入，为SPI数据输入/输出提供时钟
10	DOUT	数字输出	串行数据输出，在SCLK上升沿切换状态
11	RD_SDN	数字输入	参考驱动关断控制输入，高电平有效，关断RD功能
12	OVDD	供电	IO供电电源，支持1.8 V/3.3 V
13	VDD	供电	核心供电电源, 1.8 V
14	OVSS	供电	IO供电地
15	VSS	供电	核心供电地
16	RD	模拟输出	参考驱动输出，启用RD功能时连接至参考电极
17	INP1	模拟输入	生物电采集通道一正相输入，连接至输入电极
18	INN1	模拟输入	生物电采集通道一负相输入，连接至输入电极
19	INP2	模拟输入	生物电采集通道二正相输入，连接至输入电极

版权所有 ©2026

表 1: QFN20 引脚功能描述 (续表)

20	INN2	模拟输入	生物电采集通道二负相输入，连接至输入电极
EPAD	VSS	供电	裸露焊盘，连接至核心供电地

6 规格参数

6.1 绝对最大额定值

表 2: 绝对最大额定值

	最小值	最大值	单位
VDD 至 VSS	−0.1	1.9	V
OVDD 至 VSS	−0.3	3.6	V
模拟输入引脚至 VSS	−0.1	取(1.9 and VDD + 0.1)中较小	V
数字输入引脚至 VSS	−0.3	取(3.6 and OVDD + 0.3)中较小	V
除供电引脚外，任意引脚的输入电流		±10	mA

所列“绝对最大额定值”下的应力可能对产品造成永久性损坏。此仅为应力额定值，并不表示产品在这些或本规格书操作章节所规定的任何其他条件下能保证正常工作。长时间在最大工作条件之外运行可能会影响产品可靠性。

6.2 ESD 额定值

表 3: ESD 额定值

		数值	单位
静电放电	人体模型：所有引脚均符合 ESDA/JEDEC JS-001-2017 标准	±8	kV
	充电器件模型：所有引脚均符合 ESDA/JEDEC JS-002-2018 标准	±1	kV

6.3 电气特性

表 4: 电气特征

除非另有说明，否则所有参数均在以下条件下测试： V_{VDD} = 1.8 V, VCM 引脚电压 (V_{VCM}) = $V_{VDD}/2$ 和 G_{CH} = 240, 仅在 27 °C环境下测得。

参数	符号	测试条件	最小值 典型值 最大值	单位
生物电放大通道				
交流差分输入范围	$V_{in,AC}$	$V_{in,DC}$ = 0 V, $V_{in,CM}$ = 0 V, THD <0.3%, G_{CH} = 120	±10	mV_{pp}
直流差分输入范围	$V_{in,DC}$	$V_{in,AC}$ = 2 mV_{pp}, $V_{in,CM}$ = 0 V, THD <0.3%	±500	mV

版权所有 ©2026

表 4: 电气特征 (续表)

除非另有说明，否则所有参数均在以下条件下测试： V_{VDD} = 1.8 V, VCM 引脚电压 (V_{VCM}) = V_{VDD}/2 和 G_{CH} = 240, 仅在 27 °C环境下测得。

参数	符号	测试条件	最小值	典型值	最大值	单位
共模输入范围	$V_{in,CM}$	相对于 V_{VCM}, $V_{in,DC}$ = 0 V, $V_{in,DC}$ = 0 V, THD <0.3%		±1.2		V_{pp}
共模抑制比	CMRR	源阻抗0 Ω, $f_{in,CM}$ = 50 Hz, $V_{in,AC}$ = 0 V, $V_{in,DC}$ = 0 V, $V_{in,CM}$ = 600 mV_{pp}, BW = 4-40Hz	95	105		dB
输入参考噪声	V_n	BW = 4-40Hz		1.4		μV_{rms}
		BW = 0.05-300Hz		2		
输入阻抗	Z_{in}	差分模式		40||8		GΩ||pF
		共模模式		20||16		
总谐波失真	THD	$V_{in,AC}$ = ±10 mV_{pp}, f_{in} = 10 Hz, $V_{in,DC}$ = 0 V, $V_{in,CM}$ = 0 V, G_{CH} = 120			0.3	%
增益设置	G_{CH}	可编程		60 to 960		
高通截止频率	f_{HP}	可编程		0.05, 4		Hz
低通截止频率	f_{LP}	可编程		40, 55, 150, 300		Hz
通道增益误差	G_{err}	$V_{in,AC}$ = ±2 mV_{pp}, f_{in} = 10 Hz,BW = 0.05-300Hz	−5		+5	%
快速恢复建立时间	T_{rec}				100	ms
电源抑制比	PSRR	f_{PS}=50Hz		82		dB
最大输出负载电容	C_{load}			600		pF
导联检测 (LOD)						
比较器阈值电压	$V_{th,LOD}$			1.5		V
迟滞电压	$V_{hyst,LOD}$			125		mV
数字输入/输出						
输入高电平电压	V_{IH}	V_{OVDD} = 1.8 V		1.5		V
		V_{OVDD} = 3.3 V		3.0		
输入低电平电压	V_{IL}	V_{OVDD} = 1.8 V		0.3		V
		V_{OVDD} = 3.3 V		0.3		
输出高电平电压	V_{OH}	V_{OVDD} = 1.8 V		1.8		V
		V_{OVDD} = 3.3 V		3.3		
输出低电平电压	V_{OL}	V_{OVDD} = 1.8 V		0		V

曦成半导体技术（上海）有限公司

表 4: 电气特征 (续表)

除非另有说明，否则所有参数均在以下条件下测试： V_{VDD} = 1.8 V, VCM 引脚电压 (V_{VCM}) = V_{VDD}/2 和 G_{CH} = 240, 仅在 27 °C环境下测得。

参数	符号	测试条件	最小值	典型值	最大值	单位
		V_{OVDD} = 3.3 V		0		
系统规格						
核心供电电压范围	V_{VDD}		1.7	1.8	1.9	V
IO供电电压范围	V_{OVDD}		1.7	1.8	3.6	V
核心电源电流	I_{supply}	传感模式, RLD_SDN = 低电平		80		μA
		传感模式, RLD_SDN = 高电平		70		
		待机模式		7		
		关断模式		0.5		
IO 电源电流	$I_{supply,OVDD}$				1	μA
温度						
工作温度范围	T_{run}		0		+70	°C
存储温度范围	T_{stg}		−40		+85	°C

曦成半导体技术（上海）有限公司

6.4 时序特性

表 5: 时序特性

测试条件： 25 °C; V_{VDD} = 1.8 V, V_{OVDD} = 1.8 V

符号	描述	最小值	典型值	最大值	单位
t_{SCLK}	SCLK 时钟周期	50			ns
t_{CSSC}	CSB 变低至第一个 SCLK 的建立时间	6			ns
$t_{SPWH,L}$	SCLK 高电平和低电平脉冲宽度	15			ns
t_{DIST}	DIN 有效至 SCLK 下降沿：建立时间	10			ns
t_{DIHD}	SCLK 下降沿后 DIN 保持有效：保持时间	10			ns
t_{DOPD}	SCLK 上升沿至 DOUT 有效			12	ns
t_{CSH}	CSB 高电平脉冲宽度	2			ns
t_{CSDOD}	CSB 变低至 DOUT 开始驱动	10			ns
t_{SCCS}	第八个 SCLK 下降沿至 CSB 变高	3			ns
$t_{SDECODE}$	命令解码时间	4			ns
t_{CSDOZ}	CSB 变高至 DOUT 变为高阻态			10	ns

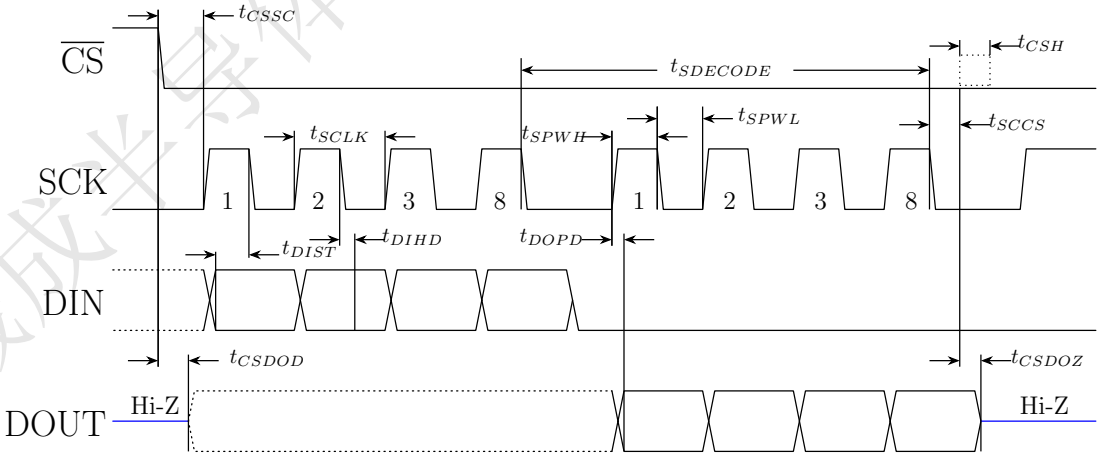


图 3: SPI时序图

曦成半导体技术（上海）有限公司

7 详细描述

7.1 概述

CN122 是一款全集成前端芯片，用于多通道心电（ECG）、脑电（EEG）或其他生物电势（如肌电信号EMG）信号的调理处理。

该芯片包含两个专用生物电势采集通道、直流导联检测模块，以及可选的右腿驱动电路。

7.2 生物电放大通道

生物电放大通道是模拟前端中最重要的部分，决定了采集到的生物电势信号的质量。CN122 内置了两个由CyzurTech®公司开发的专用放大通道，包含射频干扰（RFI）滤波器、精心设计的仪表放大器（IA）、可编程增益放大器（PGA）等组件。

该芯片最差情况下仍可达 95dB 以上的共模抑制比，能够在市电干扰等令人困扰的恶劣环境中抑制共模噪声。

运动伪迹在模拟端得到大幅抑制，且输入噪声水平足够低，可实现临床级波形质量。

集成的带通滤波器具备可编程带宽，可适配多种应用方案（例如，配置 0.05Hz 高通极点以确保 0.67Hz-40Hz 的临床带宽；配置 4Hz 高通极点以适配运动相关应用；配置 4Hz-300Hz 的滤波带宽以适配脑电检测应用）。

该芯片通道核心功耗维持在 40 μA，凭借高输入阻抗(>20 GΩ)以及较大的直流输入失衡电压耐受能力(±500 mV)，可支持干电极使用。

7.2.1 射频干扰滤波器

在存在强射频信号的应用场景中，射频输入信号会对本身低频基带信号造成放大干扰（比如通过放大器固有的调制或等效成降采样混叠）。CN122的每个通道的输入端均内置低通滤波器，可抑制频率高于 1 MHz的信号。

强烈建议在每个输入端串联一只 75 kΩ 或 100 kΩ 的电阻，以在低频(<40 Hz)条件下获得最佳射频干扰抑制效果。

7.2.2 可编程增益

CN122芯片可通过 SPI 接口分别为每个生物电放大通道提供 16 级可编程增益设置，基础增益系数为 60，各级增益为 2 的倍数关系。

更高的增益可将生物电放大至更大的幅度，从而量化后抑制 MCU ADC 噪声对通道输入的影响，但同时会对工频干扰更敏感（模拟输出端信号更易饱和）。

对于心电应用，建议根据工频环境条件或不同导联配置，选择 120 倍或 240 倍增益。

对于脑电应用，建议仔细考虑后级ADC噪声的影响，选择 240 倍或以上的增益。

7.2.3 快速恢复电路

由于集成的高通滤波器采用了低截止频率，信号可能需要数秒时间才能稳定。

这种稳定时间会在阶跃响应后（例如首次连接电极、电极摩擦或位移、较大幅度运动干扰注入时）给用户带来延迟。

芯片内部集成了快速恢复功能，生物电放大可在100 ms内从异常状态恢复，并重新稳定至理想工作点。

该功能类似模拟复位，用户需在恢复后再次解除复位，才能连续采集相关生物电信号。

请严格参考 CyzurTech®公司的官方最新SDK中的相关处理方法，进行快速恢复功能的使用。

7.2.4 共模电压

CN122 需搭配定制 CX 芯片生成电源中点共模电压，为 VCM 引脚提供驱动（VCM 引脚内部无缓冲器）。

生物电放大通道的输出电压与内部参考电压，均以此电压为参考基准。

注意，由于VCM 引脚内部无缓冲器，建议在需要使用多个CN122构建复杂系统的场合，为每个CN122搭配一个CX 芯片，以避免板级走线寄生及信号串扰的影响。

7.3 参考驱动（RD）电路

RD 电路用于驱动连接在人体上的参考电极。

对于 CN122，主要有两个作用：a) 将人体电位驱动至合适的电源中点直流电压，确保生物电放大通道正常工作；b) 降低人体上的共模干扰，从而提升系统的共模抑制能力。

注意，建议在实际商用产品中尽量使用到接触人体的参考电极，否则产品需经过实际使用环境的充分测试。经实际测试，带有参考电极及参考驱动电路的系统可获得6 dB ~10 dB 共模抑制能力。

由于芯片的生物电放大通道本身具备高共模抑制比（CMRR），该 RD 电路未采用常规的反馈与注入设计方案，因此省去了 RLDFB 反馈引脚，也无需在环路中额外配置反馈电容或电阻。

当板级系统层面并联多个CN122使用以构造超过2个采集通道时，只要开启一路RD 电路驱动参考电极即可，其他芯片的RD 电路部分可以通过RD_SDN引脚控制关断，以

版权所有 ©2026

节省功耗。

实际应用中，可从芯片 RD 引脚串联一个510 kΩ或10 MΩ的电阻到生物电放大通道的任一负相输入，以构造单极采集效果（节省一个驱动电极），具体应用电路参考《应用信息》章节。

值得注意的是,510 kΩ有助于抑制环境工频干扰避免信号饱和（参见下一部分的描述），但会对相关医标的输入阻抗测试项造成影响；若要较好地在此应用下符合医标的输入阻抗要求，则推荐采用10 MΩ电阻。

7.4 环境工频和电极

排除嵌入式代码的软件因素（**强烈建议**参考CyzurTech®公司的官方最新SDK进行开发以获得最佳体验及可靠性），两个因素将导致波形放大异常：a）环境工频；b）电极。

虽然芯片层面具有很高的共模抑制比，但由于CN122核心生物电放大部分采用1.8 V较低电压供电，当外部工频过大时，CN122芯片在内部IA输出节点上会发生信号饱和的现象，并进一步在输出体现为摆幅缩小的生物电信号，或进一步杂乱的异常信号。

因此，当无法正常放大、波形异常时，可首先观测ADC量化后原始波形是否饱和的情况，并在硬件层面加以优化（参考硬件设计指南部分）。

值得注意的是，电极的电学特性参数对测量质量也具有较大影响，应避免电极表面的氧化或污染，或其他随使用时长推移导致的电学参数恶化。

7.5 直流导联检测（LOD）

直流导联检测模式可用于两电极或三电极配置。

该模式通过检测仪表放大器的任一输入电压是否在正电源轨 0.2 V 范围内来工作。

若环境中存在较强的工频干扰，LOD 信号可能会根据干扰强度，呈现出特定占空比的 50/60Hz 脉冲波形。用户需通过软件或硬件（更省电）进行占空比检测处理，具体可参考官方最新SDK中相关函数。

7.6 功耗模式

CN122 每个通道具有独立的功耗模式控制能力，支持三种功耗模式：传感模式、关断模式和待机模式，均可通过 SPI 接口进行编程配置。

传感模式：生物电放大通道与 LOD 电路持续工作，检测导联是否脱落。

关断模式：所有模拟模块关闭，功耗降至最低水平。

待机模式：LOD 电路持续检测导联连接状态，生物电放大通道关闭。该模式专为对低功耗要求严苛的便携应用设计，待机模式下仅消耗 7 μA 电流。

当电极断开时，微控制器可进入睡眠模式，LOD 信号作为中断源唤醒微控制器。

三种功耗模式下，SPI 接口均保持正常工作状态。

7.7 SPI 接口

兼容 SPI 的串行接口由 4 个信号组成：CSB、SCLK、DIN 和 DOUT。该接口用于读写寄存器，从而控制 CN122 的运行。

接口支持两种命令：RREG（读寄存器）和 WREG（写寄存器），二者均为多字节命令，SPI 传输必须遵循严格的格式才能成功执行。

7.7.1 片选(CSB)

CSB 用于选中 CN121 进行 SPI 通信。

在整个串行通信过程中，CSB 必须保持低电平。

当 CSB 置高时，SCLK 与 DIN 信号将被忽略，DOUT 进入高阻态。

7.7.2 串行时钟(SCLK)

SCLK 是 SPI 串行时钟信号。

该信号采用施密特触发输入机制，用于在 SCLK 时钟脉冲沿上，将指令移位输入并将数据移位输出至 CN121 的 DIN 和 DOUT 引脚。

尽管输入信号具备迟滞特性，仍建议保持 SCLK 信号的清洁，以防止意外触发时钟事件。

在通过 SCLK 传输指令时，需确保整组时钟周期均已按指令格式发送完毕。

SCLK 脉冲之间的时序要求可相对宽松，但数据传输必须严格遵循指令格式。

若接口进入未知状态，请置高 RESET 信号以复位传输状态机与内部寄存器。

7.7.3 数据输入(DIN)

数据输入引脚（DIN）需配合 SCLK 使用，用于向 CN121 写入指令（操作码）与寄存器数据。

设备会在SCLK 的下降沿锁存 DIN 引脚上的数据。

7.7.4 数据输出(DOUT)

数据输出引脚（DOUT）需配合 SCLK 使用，用于从 CN121 读取寄存器数据。

版权所有 ©2026

数据会在SCLK 的上升沿从 DOUT 引脚移出。当 CSB 为高电平时，DOUT 进入高阻态。

7.7.5 RREG: 读取寄存器

RREG 指令为双字节操作码结构，操作码后紧跟寄存器数据输出。

第一个字节包含指令操作码与寄存器地址。

操作码的第二个字节用于指定待读取寄存器的数量（数值为实际数量– 1）。

第一个操作码字节：001r rrrr，其中 r rrrr 为起始寄存器地址。

第二个操作码字节：000n nnnn，其中 n nnnn 为待读取寄存器数量– 1。

该操作的第 17 个 SCLK 上升沿，会将第一个寄存器的最高有效位（MSB）时钟输出，如图 4 所示。RREG 指令可在任意时刻发送。

7.7.6 WREG: 写入寄存器

WREG 指令为双字节操作码结构，操作码后紧跟待写入的寄存器数据输入。

第一个字节包含指令操作码与寄存器地址。

操作码的第二个字节用于指定待写入寄存器的数量（数值为实际数量– 1）。

第一个操作码字节：010r rrrr，其中 r rrrr 为起始寄存器地址。

第二个操作码字节：000n nnnn，其中 n nnnn 为待写入寄存器数量– 1。

操作码字节之后，紧随寄存器数据输入（采用最高有效位优先，即 MSB-first 格式），如图 5 所示。WREG 指令可在任意时刻发送。

7.7.7 SPI 复位

芯片内置上电复位（POR）电路模块，上电后会在<100 ms以内完成 SPI 接口复位。也可通过拉高 RESET 信号，手动复位 SPI 接口。

复位完成后，SPI 传输状态机与内部寄存器均会恢复为默认值。

由于 CN122 的 SPI 传输状态与内部寄存器不会在每次 SPI 事务之间自动清零，**强烈要求**将 RESET 引脚连接至 MCU 的 GPIO，并在每次系统初始化时执行复位操作。

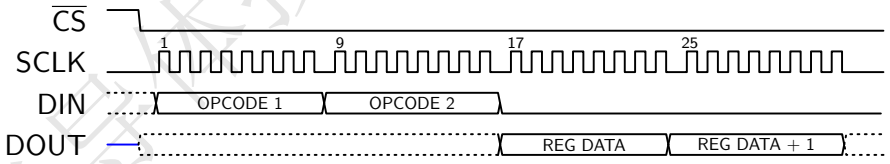


图 *4: RREG命令示例：从寄存器00h开始读取两个寄存器 (OPCODE1=0010 0000, OPCODE2=0000 0001)*

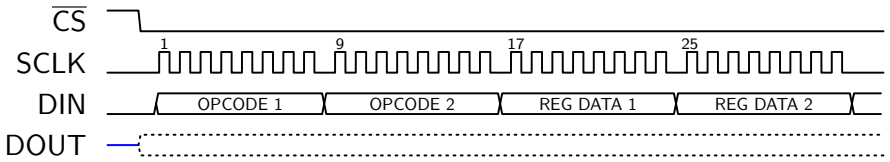


图 *5: WREG命令示例：从寄存器00h开始写入两个寄存器 (OPCODE1=0100 0000, OPCODE2=0000 0001)*

8 寄存器定义

8.1 CONFIG: 配置寄存器 (address = 00h)

该寄存器用于配置设备的功耗模式。

版权所有 ©2026

表 6: 寄存器分配

ADDRESS	REGISTER	RESET VALUE	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
00h	CONFIG	00h	N/A	PD1	STANDBY1	PD2	STANDBY2	N/A	N/A	N/A
01h	CH1_SET	00h	CH1_FR	CH1_HP	CH1_LP[1]	CH1_LP[0]	CH1_GAIN[3]	CH1_GAIN[2]	CH1_GAIN[1]	CH1_GAIN[0]
02h	CH2_SET	00h	CH2_FR	CH2_HP	CH2_LP[1]	CH2_LP[0]	CH2_GAIN[3]	CH2_GAIN[2]	CH2_GAIN[1]	CH2_GAIN[0]

表 7: *CONFIG:* 配置寄存器字段说明

Bit 7	不适用
Bit 6	PD1: 放大通道一关断控制
	此位控制放大通道一进入关断模式，其优先级高于STANDBY1 位. 0 =放大通道一退出关断模式（默认值） 1 = 放大通道一进入关断模式
Bit 5	STANDBY1: 放大通道一待机模式
	此位控制放大通道一进入待机模式，其优先级低于PD1 位. 0 = 放大通道一进入检测模式（默认值） 1 = 放大通道一进入待机模式
Bit 4	PD2: 放大通道二关断控制
	此位控制放大通道二进入关断模式，其优先级高于STANDBY2 位. 0 =放大通道二退出关断模式（默认值） 1 = 放大通道二进入关断模式
Bit 3	STANDBY2: 放大通道二待机模式
	此位控制放大通道二进入待机模式，其优先级低于PD2 位. 0 = 放大通道二进入检测模式（默认值） 1 = 放大通道二进入待机模式
Bits[2:0]	不适用

曦成半导体技术（上海）有限公司

8.2 CH1_SET: 放大通道一设置寄存器 (address = 01h)

该寄存器用于配置传感模式下的生物电放大通道一。

表 8: *CH1_SET:* 放大通道一设置寄存器位域说明

Bit 7	CH1_FR: 放大通道一快速恢复控制
	此位使能放大通道一的快速恢复模式，拥有最高优先级。 0 = 禁用快速恢复（默认值） 1 = 使能快速恢复
Bit 6	CH1_HP: 放大通道一高通极点选择
	此位选择放大通道一的高通截止频率。 0 = 4Hz（默认值） 1 = 0.05Hz
Bits[5:4]	CH1_LP[1:0]: 放大通道一低通极点选择
	此位选择放大通道一的低通截止频率。 00 = 40Hz（默认值） 01 = 55Hz 10 = 150Hz 11 = 300Hz
Bits[3:0]	CH1_GAIN[3:0]: 放大通道一增益选择
	此位选择放大通道一的增益值 0000 = 60（默认值） 0001 = 120 0010 = 180 0011 = 240 0100 = 300 0101 = 360 0110 = 420 0111 = 480 1000 = 540 1001 = 600 1010 = 660 1011 = 720 1100 = 780 1101 = 840 1110 = 900 1111 = 960

8.3 CH2_SET: 放大通道二设置寄存器 (address = 02h)

该寄存器用于配置传感模式下的生物电放大通道二。

曦成半导体技术（上海）有限公司

表 9: *CH2_SET*: 放大通道二设置寄存器位域说明

Bit 7	CH2_FR: 放大通道二快速恢复控制
	此位使能放大通道二的快速恢复模式，拥有最高优先级。 0 = 禁用快速恢复（默认值） 1 = 使能快速恢复
Bit 6	CH2_HP: 放大通道二高通极点选择
	此位选择放大通道二的高通截止频率。 0 = 4Hz（默认值） 1 = 0.05Hz
Bits[5:4]	CH2_LP[1:0]: 放大通道二低通极点选择
	此位选择放大通道二的低通截止频率。 00 = 40Hz（默认值） 01 = 55Hz 10 = 150Hz 11 = 300Hz
Bits[3:0]	CH2_GAIN[3:0]: 放大通道二增益选择
	此位选择放大通道二的增益值 0000 = 60（默认值） 0001 = 120 0010 = 180 0011 = 240 0100 = 300 0101 = 360 0110 = 420 0111 = 480 1000 = 540 1001 = 600 1010 = 660 1011 = 720 1100 = 780 1101 = 840 1110 = 900 1111 = 960

曦成半导体技术（上海）有限公司

9 应用信息

注意

本节内容不属于CyzurTech元件规格书的组成部分，CyzurTech不对其准确性或完整性作任何担保。客户需自行评估元件是否符合其应用需求，并应通过验证和测试其设计实现来确保系统功能正常。

9.1 典型应用电路

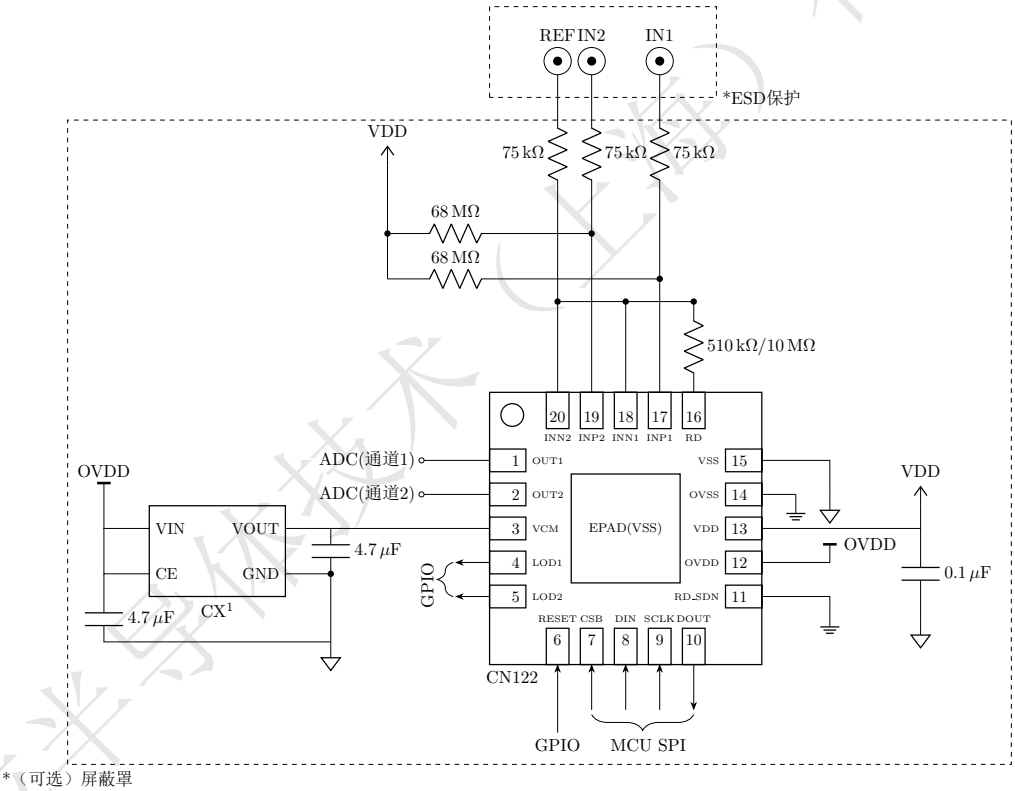


图 6: 双通道心/脑电监测应用电路

注意若为肢体三导联心电应用，导联*I*和导联*II*分别在模拟域进行采集，导联*III*及放大肢体导联是通过导联*I*和导联*II*的波形计算得到的，比如*LEAD III = LL - LA = LEAD II - LEAD I*。

版权所有 ©2026

9.2 硬件设计指南

1. **ESD防护**

CN122芯片具有器件级的±8 kVHBM ESD防护等级，但依然**强烈建议**在实际产品中添加针对不同ESD防护要求的额外ESD保护管（双向）。

如应用电路中标出，ESD保护部分与核心部分电路应尽量分开，且靠近ESD干扰源分别放置（如电极）。

其他针对MCU本身的ESD防护请参考对应MCU厂商的相关说明或指南（如添加必要的tvs保护管、确保完整的地平面等必要保护措施）。

2. **屏蔽罩**

为增强系统级的电磁干扰（主要是工频干扰）抵抗能力，可对应用电路中框出的核心部分电路增加屏蔽罩保护，经测试可有效抑制极强的空间工频干扰（但同时会增加相关成本，客户可综合考虑）。

应把芯片INP、INN输入涉及的75 kΩ或100 kΩ的RFI电阻分别靠近INP、INN引脚第一优先级放置，其次涉及导联检测的两个极大阻值上拉电阻也靠近INP、INN引脚放置，注意避免INP、INN信号链路上走线间的互相干扰，布线尽量短、顺。

特别注意的是，给VCM引脚提供电压的CX芯片，也应尽量靠近VCM引脚放置，输出电压走线尽量短，且避免额外干扰。

3. **阻容精度**

应用电路中核心部分电路的电容可采用常见的20 %精度，RFI电阻应采用1 %以上的精度，涉及导联检测的上拉电阻5 %精度即可。

4. **敏感走线**

需注意，INP、INN（或LA、RA）的关键输入信号走线应保持尽可能小的寄生电容（推荐5 pF以下），以减小额外的系统共模转差模干扰，输出更加干净的信号。

芯片的模拟输出AOUT走线应尽量避免周边的干扰源，但因为信号相比原始输入INP、INN已经被放大，且具有较强驱动能力，所以敏感程度可适当降低。

不同应用中，可能会存在较长由电极（如LA、RA）至INP、INN的走线，注意曦成不要求等长差分走线，但需避免沿途“脏”信号对这对关键输入信号的干扰。

5. **供电与接地**

芯片的OVDD、OVSS作为IO的电压域，可与MCU的数字电源、地共用同一个电源和地，但需注意应有尽可能大的完整的地平面，以确保ESD\EMI效果，并尽可能减小“地弹”的影响。

芯片的VDD、VSS作为专门的模拟电压域，需专门供电及做铺地处理，通过0 Ω电阻与MCU电压域的地短接，因为CN121芯片极低工作电流的特点，VSS的模拟地无需具有较大的面积。

注意，由于CN121芯片不具有足够高的对地的电源抑制比，因此在电源输入“脏”地的情况下，信号质量会恶化并依赖工程师的精心硬件设计以降低“地弹”影响，请联系曦成获取额外支持以处理此类问题。

6. **电极**

干电极测量下，电极基材推荐洋白铜或SUS316L不锈钢，为确保生物兼容性、耐腐蚀性及美观度，可表面进一步镀铬或钛。

经实验，干电极材质有效情况下，良好设计的基于曦成芯片的生物电采集系统，满足5 mm×5 mm面积的干电极即可采集得到不错的生物电信号。

版权所有 ©2026

10 包装外形图

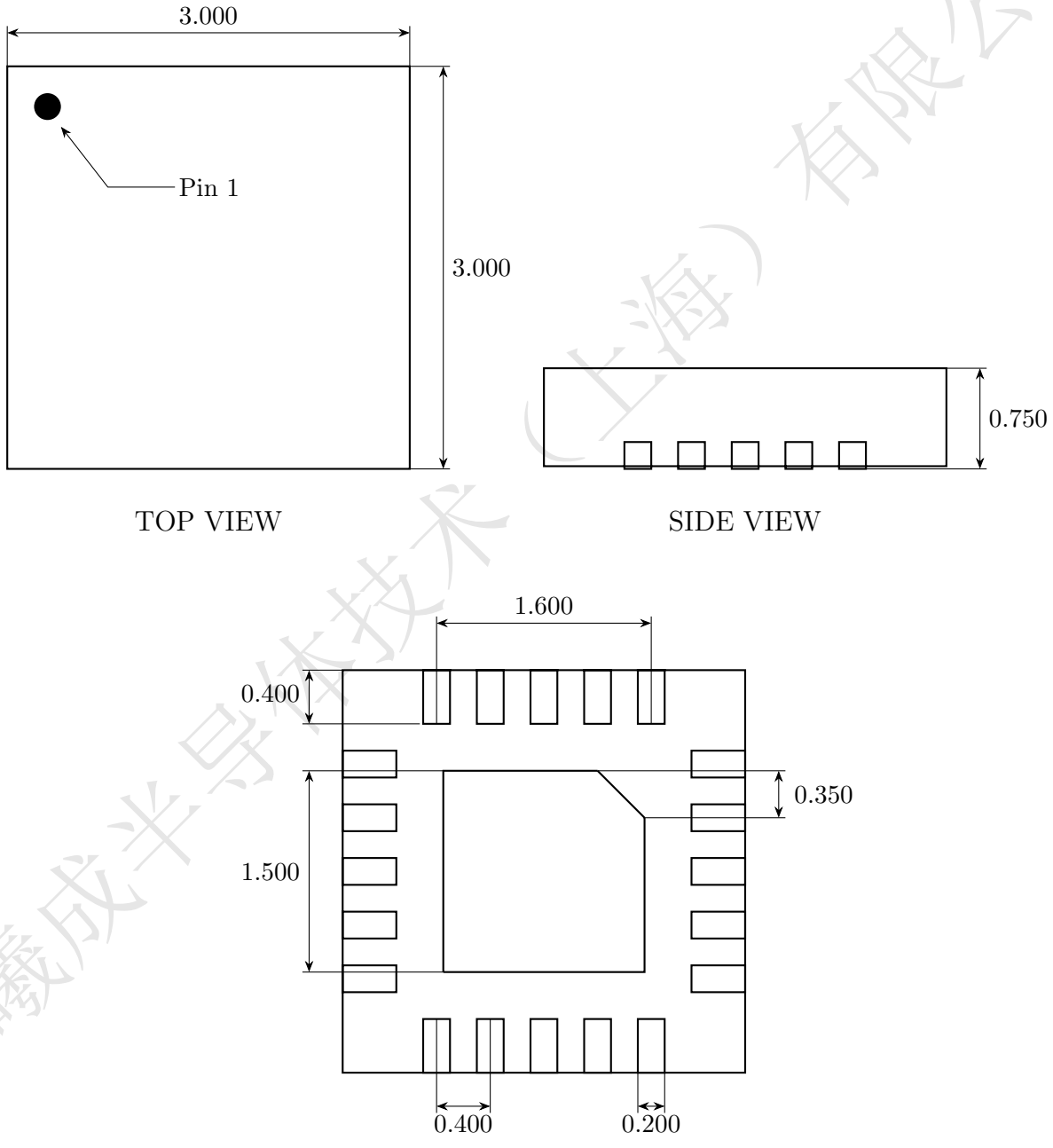
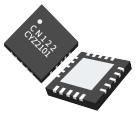


图 7: 20引脚四极扁平无引线封装 (QFN20)
尺寸以毫米表示

曦成半导体技术（上海）有限公司

11 订购指南

型号	类型	描述	封装/尺寸	图片
CN122	芯片	双通道模拟前端芯片	QFN20 3 × 3 mm	

曦成半导体技术（上海）有限公司